PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation 7 : **H01L 21/768, 21/288** | **A1**

(11) Internationale Veröffentlichungsnummer: **WO 00/44042**

(43) Internationales Veröffentlichungsdatum: 27. Juli 2000 (27.07.00)

(21) Internationales Aktenzeichen: PCT/DE00/00133

(22) Internationales Anmeldedatum: 11. Januar 2000 (11.01.00)

(30) Prioritätsdaten:

199 03 178.9	21. Januar 1999 (21.01.99)	DE
199 15 146.6	26. März 1999 (26.03.99)	DE

(71) Anmelder *(für alle Bestimmungsstaaten ausser US)*: ATOTECH DEUTSCHLAND GMBH [DE/DE]; Erasmusstrasse 20, D–10553 Berlin (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder *(nur für US)*: MEYER, Heinrich [DE/DE]; Bismarckstrasse 8 B, D–14109 Berlin (DE). THIES, Andreas [DE/DE]; Schottmüllerstrasse 105 C, D–14167 Berlin (DE).

(74) Anwalt: EFFERT, BRESSEL UND KOLLEGEN; Radickestrasse 48, D–12489 Berlin (DE).

(81) Bestimmungsstaaten: AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DK, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW, ARIPO Patent (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht

Mit internationalem Recherchenbericht.

Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.

(54) Title: METHOD FOR GALVANICALLY FORMING CONDUCTOR STRUCTURES OF HIGH-PURITY COPPER IN THE PRODUCTION OF INTEGRATED CIRCUITS

(54) Bezeichnung: VERFAHREN ZUM GALVANISCHEN BILDEN VON LEITERSTRUKTUREN AUS HOCHREINEM KUPFER BEI DER HERSTELLUNG VON INTEGRIERTEN SCHALTUNGEN

(57) Abstract

The invention relates to a method for galvanically forming conductor structures of high–purity copper on surfaces of semiconductor substrates (wafers) (1) during the production of integrated circuits, said semiconductor substrates being provided with indentations (2). The inventive method comprises the following steps: a) coating the entire surfaces of the semiconductor substrates (1) which are provided with indentations (2) with a backing material layer in order to obtain a sufficient conductivity for the galvanic deposition process; b) depositing copper layers (3) having an even layer thickness on the entire surface of the backing material layer via a galvanic metal deposition process by contacting the semiconductor substrates with a copper deposition bath. Said copper deposition bath contains at least one copper ion source, at least one additive compound for controlling the physico–mechanical properties of the copper layers and Fe(II) and/or Fe(II) compounds. Between the semiconductor substrates and the dimension–stable counter–electrodes which are contacted with said bath and which are insoluble therein an electric potential is applied so that an electric current flows between the semiconductor substrates (1) and the counter–electrodes. In a last step of the inventive method, c) the copper layer (3) is structured.